

Sponsoren



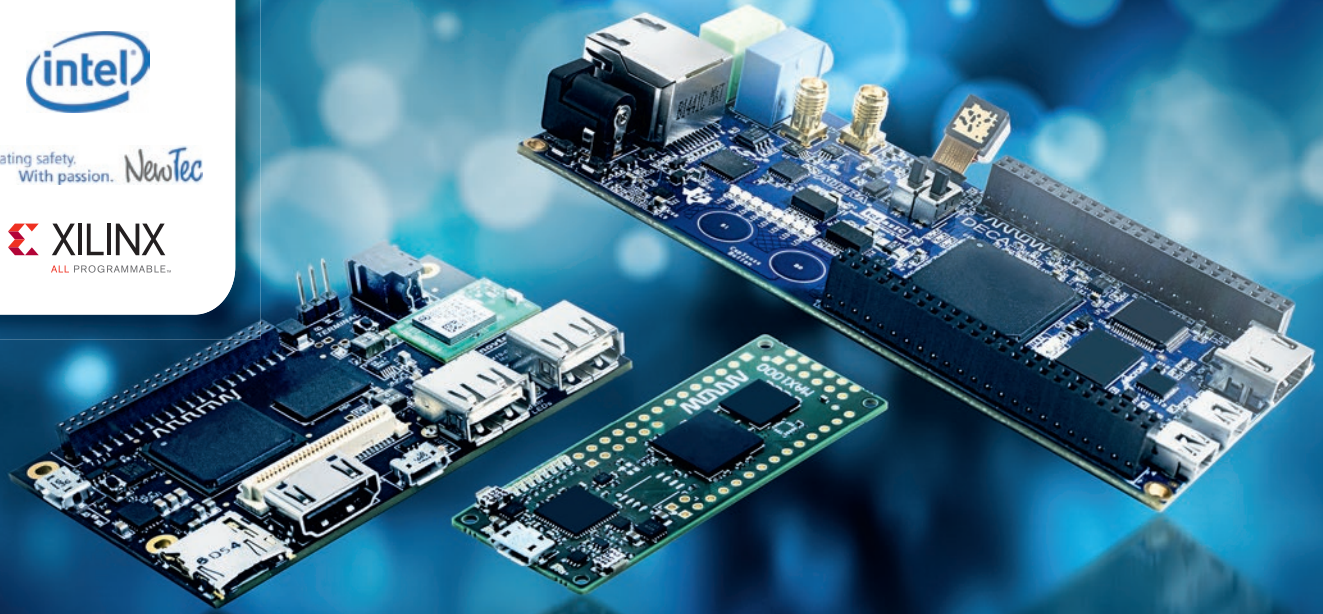
AVNET SILICA



Creating safety.  
With passion. NewTec



ALL PROGRAMMABLE.



# FPGA-Kongress 2017

11. – 13. Juli 2017, NH Hotel, München-Dornach

## FPGA-basierte Systeme zeitgemäß entwickeln

[www.fpga-kongress.de](http://www.fpga-kongress.de)

Veranstalter:



07:45 Registrierung

08:30 Begrüßung: ELEKTRONIKPRAXIS & PLC2

Tag 1

Dienstag 11.Juli 2017

Applications

Kommunikation zwischen FPGAs – Was gibt es zu beachten  
Mirko Lawin, ADVA

45 min

Using HLS in Digital Radar Frontend FPGA-SoCs  
Dr. Jürgen Rauscher, Airbus DS

45 min

Image Processing

Multi camera acquisition and real time processing - 3D Surround view system with Arria10 SoC  
Francisco Perez, Arrow



30 min

FPGA Kamera Design vom Systemkonzept bis zur Validierung  
Dr. Arndt Bußmann, Arrow Helion GmbH

60 min

Embedded Design

Linux System für Zynq Ultra Scale + Erstellen mit Yocto – Eine Einführung in das Yocto Build System  
Thomas Kinder, PLC2

60 min

Embedded Linux with 10G Ethernet and hardware accelerated 4K real-time streaming engine  
Heiko Henkel, Arrow Dream Chip

30 min

Debug & Verification

OSVVM: ASIC level VHDL Verification, Simple enough for FPGAs  
Jim Lewis, Synthworks



45 min

FPGA design: Bugs and Problems – And how to avoid them  
Espen Tallaksen, Bitvis

45 min

Tutorial Track

Vivado Design Suite - Design, Constraints and Verification of FPGAs - Part 1  
Eugen Krassin, PLC2

90 min

10:30 – 11:15

Pause - Partnerausstellung

11:15 – 12:45

Avionic Interface Implementation and Certification according to RTCA/DO-254 & EUROCAE ED-20  
Dr. Wolfgang Schlecker, Airbus DS

45 min

Video bridging with FPGAs  
Miroslav Rozic, Arrow-Mikroprojekt



45 min

Baumpflege und SoC's? Debugging Devicetree Issues in Linux / and u-boot  
Martin Hecht, Avnet EMG

45 min

Analyzing Synchronization Circuits MTBF with TimeQuest  
Oren Hollander, Arrow - Hands-on-Training



45 min

Vivado Design Suite - Design, Constraints and Verification of FPGAs - Part 2  
Eugen Krassin, PLC2

90 min

IoT controller for FPGA  
Claudio Ambrá, Arrow - EXOR



45 min

Delivering a Flexible Platform for Embedded Vision Processing at the Edge  
Christian Michel, Lattice



45 min

Two Lightning Talks on "vi" and "vim"  
Martin Weitzel, Ingenieurbüro Weitzel

45 min

Have I Done Enough Verification?  
Ates Berna, Electra IC



45 min

12:45 – 13:30

Mittagspause - Partnerausstellung

13:30 – 14:15

KEYNOTE: From Glue logic to MPSoC and Beyond  
Steve Trimberger, Xilinx

14:15 – 15:45

Adding Multi-Function to a standard PCIe-Core  
Charles Gardiner, Arrow-Ingenieurbüro Gardiner



45 min

From Scratch – Image Processing with Xilinx  
Thomas Kinder, PLC2

90 min

Handling Custom AXI-IPs in Vivado and using HLS as AXI-IP Generator  
Dirk Schmitz, Avnet EMG

45 min

FPGAs an der Schnittstelle zwischen Hardware und Software  
Jürgen Jäger, Cadence

45 min

Designing a Zynq UltraScale+ MPSoC System in Vivado - Part 1  
Stefan Krassin, PLC2

90 min

Implementing HMI Systems with SoC FPGAs  
Miroslav Rozic, Arrow - MIKROPROJEKT



45 min

SDSoC: A Paradigm shift in All Programmable Zynq SoC and Zynq UltraScale+ MPSoC Development  
Xilinx

45 min

15:45 – 16:30

Pause - Partnerausstellung

16:30 – 18:00

Hochintegrierte FPGA SoC eröffnen neue Anwendungen in der Robotik  
Dr. Stephan Kubisch, Arrow - TRINAMIK Motion Control GmbH

30 min

Innovative Bildverarbeitungslösungen auf FPGAs und SoCs in Rekordzeit umsetzen  
Dr. Holger Singpiel, Silicon Software

45 min

Nios-II Soft-CPU im Arrow MAX1000  
Michael Fuhrmann, Arrow

45 min

Staying competitive with modern verification methodologies  
Stefan Bauer, Mentor Graphics

45 min

Designing a Zynq UltraScale+ MPSoC System in Vivado - Part 2  
Stefan Krassin, PLC2

90 min

Time Sensitive Networking  
Patrick Loschmidt/Astrit Ademaj, Arrow - TTEch

30 min

Understanding Architecture of Video Cameras for Machine Vision Applications  
Christian Grimm, Xylon

45 min

Implementierung eines 8051 auf dem ARROW Max1000 Board  
Michael Fuhrmann, Arrow

45 min

Making an advanced Bus Functional Model (BFM) from scratch  
Espen Tallaksen, Bitvis

45 min

Using high speed interfaces in cost effective FPGAs  
Ted Marena, Microsemi



30 min

18:00  
19:00

Offene Diskussion - Partnerausstellung (bis ca. 19:00 Uhr)  
Abendveranstaltung

**Tag 2** **Mittwoch 12. Juli 2017**

09:00 – 10:30

**Applications**


**Designing Mission Critical FPGA**  
Adam Taylor, Xilinx



90 min


**Image Processing**

**Multi-Camera Vision Development Kit and Design Framework**  
Christian Grimm, Xylon



45 min

**Using Inexpensive Optical 2D Cameras for 3D World Mapping for autonomous driving and Robot Guidance**  
Christian Grimm, Xylon



45 min


**Embedded Design**

**Zynq UltraScale+ MPSoC Power Management Features**  
Stefan Krassin, PLC2

90 min


**Board-Level**

**FPGA Power Supply**  
Christian Reiter, Arrow - Linear Technologies




30 min

**Power Management for FPGA systems design and optimization**  
Frederik Dostal, Arrow - ADI



30 min


**Speed up your FPGA design by using Panasonic's Polymer Capacitors**  
Andreas Lapucha, Arrow - Panasonic Automotive & Industrial Systems GmbH



30 min

**Tutorial Track**

**UVVM in a nutshell - An introduction to making good VHDL testbenches - Part 1**  
Espen Tallaksen, Bitvis



90 min

10:30 – 11:15


**Pause - Partnerausstellung**

11:15 – 12:45

**Entwicklung kundenspezifischer Motorregelungen für Proz., FPGAs und SoCs mit MATLAB/Simulink**  
Dr. Werner Bachhuber, Mathworks

60 min

**Real Number Modelling and special Ring Oscillator impl. for detection of TID effects in CMOS FPGA Technologies**  
Daniel Heinrich, Josef Schmid, iSyst Intelligente Systeme



30 min

**Bildverarbeitung und Embedded Vision**  
Werner Feith, Sensor 2 Image

60 min

**Bilddatenkompression mit einem System-on-a-Chip (SoC)**  
Jörg Mohr, Solectrix GmbH




30 min

**Understanding and navigating the Vivado Design model**  
Martin Weitzel, Ingenieurbüro Weitzel


90 min

**Output capacitors tech. for DC/DC converter to support FPGAs**  
Michael Freitag, Arrow - KEMET




30 min

**FPGA deal with analog signals**  
Christian Reiter, Arrow - Linear Technologies




30 min

**Fly Over Kabel und High Speed FPGA Connectivity**  
Michael Grubmüller, Arrow - Samtec



30 min

**UVVM in a nutshell - An introduction to making good VHDL testbenches - Part 2**  
Espen Tallaksen, Bitvis



90 min

12:45 – 13:50


**Mittagspause - Partnerausstellung**

**13:50 – 14:15 MINI-KEYNOTE: Single Chip FPGA Lösung für SIL3 Applikationen – Ist es möglich mit nur einem FPGA allen Anforderungen zu genügen? (Newtec)**

14:15 – 15:45

**Applications**

**RX Eye Scan bei Xilinx Transceivern**  
Jörg Siemers, Avnet EMG



45 min

**The Case for implementing a soft RISC-V core in FPGA**  
Ted Marena, Jens Hüttemann, Microsemi



45 min

**Safety & Security**

**Einsatz und Verwendung des Soft Error Mitigation Codes bei Xilinx**  
Georg Hanak, Avnet EMG GmbH



45 min


**ZYNQ/MPSoC Security und measured Boot**  
Dr. Florian Schreiner, Avnet-Infineon Technology AG



45 min


**Tools & Werkzeuge**

**CDC unter der Lupe - Synchronisierungsschaltungen, Constraints und Analyse mit Vivado**  
Eugen Krassin, PLC2



45 min

**Embedded JTAG Solutions: Kosten sparen – Zeiten reduzieren**  
Enrico Zimmermann, GÖPEL electronic GmbH



45 min

**Board-Level**

**Optimizing eMMC Memory on Intel PSG SoC FPGA Platforms**  
Alberto Troia, Arrow - Micron



45 min


**Tuning NAND Flash for industrial applications**  
Gerhard Risse, Avnet - Micron Semiconductor GmbH



45 min

**Tutorial Track**

**Hands on with OSVVM Transcripts, Alerts, Logs, and Affirmations**  
Jim Lewis, Synthworks




90 min

15:45 – 16:30

**Pause - Partnerausstellung**


16:30 – 18:00

**Entwicklung und Prototypenimplementierung von Bildverarbeitungsalgorithmen für Fahrerassistenzsysteme mit MATLAB/Simulink**  
Dr. Werner Bachhuber, Mathworks



60 min

**Designing a 10G 8b10b Aurora Link**  
Nikolai Krassin, PLC2



30 min

**Strong Security with FPGAs for Industry 4.0 & Smart Factory**  
Nicholas-Paul Croudace, Arrow-Infineon



45 min

**Hardware Security for cyber threats & protection of your IP**  
Jens Hüttemann, Microsemi




45 min

**Post-processing information in Vivado reports with regular expressions**  
Martin Weitzel, Ingenieurbüro Weitzel


90 min

**Nicht nur ein Trend: Alle Vorteile beim Design-In von SoC FPGA Modulen optimal ausnutzen**  
Martin Heimlicher, Enclustra FPGA Solutions




30 min

**Mathematische Modelle für die Berechnung von Routing-Constraints für das CAD-Layout von FPGA-Komponenten**  
Arnold Wiemers, Leiterplattenakademie



60 min

**Hands on Simplifying Transaction Interfaces with OSVVM**  
Jim Lewis, Synthworks



90 min

18:00

**Ende Tag 2**

## Safety &amp; Security

**Funktionale Sicherheit: FPGA Design Flow für sicherheitskritische Anwendungen**  
Hans-Jürgen-Schwender, TRIAS

45 min.

**Driving Functional Safety in All Programmable SoC**  
Xilinx



45 min.

## Sprachen

**VHDL 2017: An update from the VHDL Standards Committee**  
Jim Lewis, Synthworks  
Patrick Lehmann, PLC2



45 min.

**Three Selected VHDL-2017 Features in Action**  
Patrick Lehmann, PLC2



45 min.

## Tools &amp; Werkzeuge

**SoC Systeme ultra-schnell entwickeln mit Vivado und Visual System Integrator**  
Martin Heimlicher, Enclustra  
FPGA Solutions

45 min.

**FPGA Designs effizienter entwickeln mit formalen Software Werkzeugen**  
Clifford Wolf, ACS Vienna

45 min.

## Architektur

**Spartan-7 - The new Xilinx Lost Cost FPGA**  
Ernst Wehlage, PLC2

45 min.

**ICE40 - FPGA für mobile Anwendungen**  
Harald Flügel, Arrow - Lattice

45 min.

## Tutorial Track

**Easy Start Embedded Linux - Bootloader**  
Thomas Kinder, PLC2

90 min.

10:30 – 11:00

## Kaffeepause

**Introduction to IoT Security Elements**  
Yossi Har-Nov, Arrow - NovTech



45 min.

**Add IoT Security to FPGA**  
Yossi Har-Nov, Arrow - NovTech



45 min.

**OSVVM Alerts and Logs: Simplifying Error Reporting and Messaging**  
Jim Lewis, Synthworks



45 min.

**Transaction Level Modeling: OSVVM Style**  
Jim Lewis, Synthworks



45 min.

**Open Source IP Cores and Verification Libraries for the FPGA Design Cycle**  
Patrick Lehmann, PLC2

45 min.

**OpenAMP Framework in the Xilinx SDK**  
Ernst Wehlage, PLC2

45 min.

**Microsemi SmartFusion2 – More Resources in Low Density Devices**  
Michael Fuhrmann, Arrow

60 min.

**Cyclone10 GX – With each new generation of smart systems, customers face a greater need for integration and an increased performance while reducing cost.**  
Francisco Perez, Arrow



30 min.

**Easy Start Embedded Linux - Kernel**  
Thomas Kinder, PLC2

90 min.

12:30 – 13:30

## Mittagspause

**Ein universeller IP-Core für eine sichere Antriebsüberwachung (Safety Modul) nach DIN EN (IEC) 61800-5-2 bis PL-e/SIL 3**  
Dania Abdulwahab, Jan-Philipp Schmale, NewTec GmbH

45 min.

**Introduction to OpenCL for Intel FPGAs**  
Oren Hollander, Arrow - Hands-on-Training



45 min.

**Universal VHDL Verification Methodology – The standardised VHDL test-bench architecture**  
Espen Tallaksen, Bitvis



45 min.

**Hardware/Software Co-Design Workflow für SoC FPGAs mit MATLAB/Simulink**  
Tom Richter, Mathworks

60 min.

**Hardware Debugging Solutions**  
Nikolai Krassin, PLC2

30 min.

**Arrow Everest Board – HW Design considerations for Polarfire Mid Range FPGA**  
Francisco Perez, Arrow



45 min.

**ARM Cortex-A53 (Stratix 10 SoC) vs Cortex-A9 (Arria 10 SoC)**  
Oren Hollander, Arrow - Hands-on-Training



45 min.

**Easy Start Embedded Linux - Root Filesystem**  
Thomas Kinder, PLC2

90 min.

15:00 – 15:30

## Kaffeepause

**Safety and Security with Xilinx UltraScale+ MPSoC**  
Ernst Wehlage, PLC2

45 min.

**Technik trifft Recht – Produktqualität und Wettbewerbsvorteil durch Kenntnis der rechtlichen Haftungssystematik**  
Susanne Meiners, NewTec GmbH

45 min.

**System Verilog for Verification**  
Eugen Krassin, PLC2

90 min.

**IP Core Lifecycle Management with Git**  
Patrick Lehmann, PLC2

90 min.

**Replacing old PLD**  
Harald Flügel, Arrow

45 min.

**Industrial Ethernet solutions based on Altera Cyclone V SoC**  
Amir Shapira, Arrow - Shiratech



45 min.

**Easy Start Embedded Linux - Yocto**  
Thomas Kinder, PLC2

90 min.



# Einführung

## Holen Sie alles aus Ihren FPGA-basierten Systemen heraus!

FPGA-Technologien haben einen wahren Evolutionssprung vollbracht, was neue Denkansätze und Lösungen von Hardware- als auch Software-Entwicklern erfordert.

Mit dem FPGA-Kongress, der vom Fachmagazin ELEKTRONIKPRAXIS und dem Design- und Schulungszentrum PLC2 GmbH veranstaltet wird, greifen wir diesen Fortschritt herstellerübergreifend auf – und fokussieren anwendergerechte Lösungen, die Sie schnell in Ihren eigenen Entwicklungs-Alltag integrieren können.

Egal, ob Sie die Welt der Field Programmable Gate Arrays gerade erst kennenlernen oder schon ein alter Hase sind: Der FPGA-Kongress bietet für jeden Wissenstand den passenden Anschluss.

### Kongress-Themen:

- Applications
- Sprachen
- Embedded Design
- Board Level
- Safety & Security
- Debug & Verification
- Image Processing
- Architektur
- Tools & Werkzeuge

## Stimmen aus der Branche

„Viele hochwertige Vorträge. Gute Kontaktmöglichkeiten.“

Günter Graf,  
Ing.-Büro Graf -  
Teilnehmer 2016

„Internationale Expertenvorträge waren sehr gut, Organisation und Zusammensetzung sehr gut“

Feedback eines  
Ausstellers 2016

# Preise & Anmeldung



Anmeldung unter:  
[www.fpga-kongress.de](http://www.fpga-kongress.de)

**Achtung:** Der Tutorial Track ist auf 30 Plätze begrenzt. Melden Sie sich jetzt schnell an, bevor dieser Track ausgebucht ist!

BBQ - Abend-  
veranstaltung



Wir freuen uns auch in diesem Jahr wieder gemeinsam mit Ihnen eine Abendveranstaltung durchzuführen. Zur besseren Planbarkeit wird ein Teilnehmerbeitrag in Höhe von 20,- EUR zzgl. MwSt. erhoben.

## Kontakt



Sebastian Gerstl  
ELEKTRONIKPRAXIS

+49 931 / 418-3098  
Sebastian.Gerstl@vogel.de



Michael Schwarz  
PLC2 GmbH

+49 7664 / 9 13 13 - 15  
Michael.Schwarz@plc2.de

### Veranstaltungsort

NH Hotel  
München-Dornach  
Einsteinring 20  
D-85609 München-Dornach

### Veranstalter

ELEKTRONIKPRAXIS Akademie  
[www.elektronikpraxis.de](http://www.elektronikpraxis.de)

PLC2 Programmable Logic  
Competence Center  
[www.plc2.com](http://www.plc2.com)

ELEKTRONIK  
**PRAXIS**  
Akademie

**PLC2**  
PROGRAMMABLE LOGIC  
COMPETENCE CENTER